

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-45959

(43) 公開日 平成11年(1999) 2月16日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L 23/28		H 0 1 L 23/28	C
			Z
G 1 1 B 19/00	5 2 1	G 1 1 B 19/00	5 2 1
H 0 1 L 23/12		H 0 1 L 27/10	4 9 5
27/10	4 9 5	23/12	F
審査請求 未請求 請求項の数16 O L (全 7 頁)			

(21) 出願番号 特願平10-34918

(22) 出願日 平成10年(1998) 2月17日

(31) 優先権主張番号 1 9 9 7 P - 3 0 8 7 1

(32) 優先日 1997年7月3日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 申 譜 賢

大韓民国忠清南道天安市雙龍洞 新星ウン

ハースアパート102棟803号

(72) 発明者 安 ▲ミン▼ 哲

大韓民国京畿道水原市勸善区勸善洞1263番

地 信友アパート701棟808号

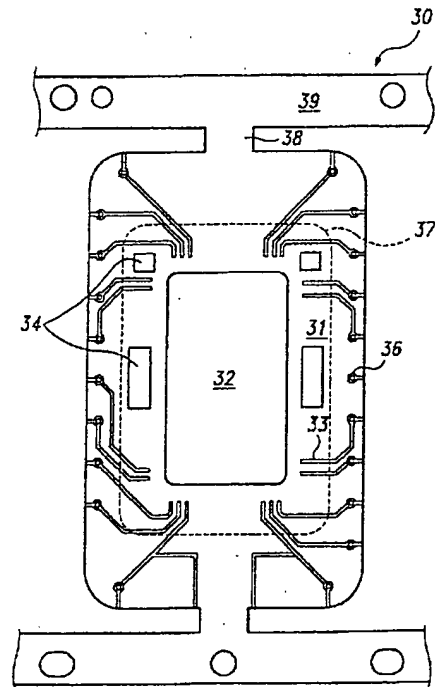
(74) 代理人 弁理士 萩原 誠

(54) 【発明の名称】 チップオンボードパッケージ用印刷回路基板及びそれを用いたチップオンボードパッケージ

(57) 【要約】

【課題】 COBパッケージの反りを防止することができるCOBパッケージ用印刷回路基板及びこれを用いたCOBパッケージを提供すること。

【解決手段】 半導体チップが実装され且つ封止部が形成される印刷回路基板30の上面に凸部34を形成して、封止部を形成するためのモルディング樹脂の量を低減させることにより、COBパッケージの反りを防止する。



【特許請求の範囲】

【請求項1】上面と下面を有する基板胴体と、半導体チップを接着するため、前記基板胴体の上面に形成されるチップ接着部と、前記チップ接着部に接着される前記半導体チップとの電気的な接続のため、前記チップ接着部を除いた前記基板胴体の上面に形成される回路パターンと、外部装置との電気的な接続のため、前記基板胴体の下面に形成される外部接続端子と、前記回路パターンと前記外部接続端子とを接続するため、前記基板胴体を貫通して形成されるビアホールと、前記基板胴体の上面を封止するモールドング樹脂の量を調節するため、前記チップ接着部の周囲に形成される凸部とを含むことを特徴とするチップオンボードパッケージ用印刷回路基板。

【請求項2】前記凸部は、前記回路パターン及び前記チップ接着部を除いて前記基板胴体の上面に形成され、この上面を封止する封止部の内側に形成されることを特徴とする請求項1に記載のチップオンボードパッケージ用印刷回路基板。

【請求項3】前記凸部は、前記基板胴体の上面に絶縁性樹脂をスクリーン印刷して形成されることを特徴とする請求項1又は2に記載のチップオンボードパッケージ用印刷回路基板。

【請求項4】上面と下面を有する基板胴体と、半導体チップを接着するため、前記基板胴体の上面に形成されるチップ接着部と、前記チップ接着部に接着される前記半導体チップとの電気的な接続のため、前記チップ接着部を除いた前記基板胴体の上面に形成される回路パターンと、外部装置との電気的な接続のため、前記基板胴体の下面に形成される外部接続端子と、前記回路パターンと前記外部接続端子とを接続するため、前記基板胴体を貫通して形成されるビアホールと、前記基板胴体の上面を封止するモールドング樹脂の量を調節するため、前記チップ接着部の周囲に形成される凹部とを含むことを特徴とするチップオンボードパッケージ用印刷回路基板。

【請求項5】前記凹部は、前記回路パターン及び前記チップ接着部を除いて前記基板胴体の上面に形成され、この上面を封止する封止部の内側に形成されることを特徴とする請求項4に記載のチップオンボードパッケージ用印刷回路基板。

【請求項6】前記凹部は、ミールング工程により形成されることを特徴とする請求項4又は5に記載のチップオンボードパッケージ用印刷回路基板。

【請求項7】上面と下面を有する基板胴体と、この基板胴体の上面に形成されるチップ接着部と、このチップ接着部を除いた前記基板胴体の上面に形成される回路パターンと、前記基板胴体の下面に形成される外部接続端

子と、前記回路パターンと前記外部接続端子とを接続するため、前記基板胴体を貫通して形成されるビアホールと、前記基板胴体の上面を封止する部材の量を調節するため、前記チップ接着部の周囲に形成される凸部とを含むチップオンボードパッケージ用印刷回路基板と、前記印刷回路基板の前記チップ接着部に接着され、複数のボンディングパッドが形成された半導体チップと、前記半導体チップのボンディングパッドと前記印刷回路基板の回路パターンとを電気的に接続するボンディングワイヤと、

前記半導体チップ、ボンディングワイヤ、回路パターン及び凸部を封止して形成される封止部とを含むことを特徴とするチップオンボードパッケージ。

【請求項8】前記凸部は、前記回路パターン及び前記チップ接着部を除いて前記基板胴体の上面に形成されることを特徴とする請求項7に記載のチップオンボードパッケージ。

【請求項9】前記半導体チップは、4Mビットのフラッシュメモリチップであることを特徴とする請求項7に記載のチップオンボードパッケージ。

【請求項10】前記凸部は、前記基板胴体の上面に絶縁性樹脂をスクリーン印刷して形成されることを特徴とする請求項7又は8に記載のチップオンボードパッケージ。

【請求項11】上面と下面を有する基板胴体と、この基板胴体の上面に形成されるチップ接着部と、このチップ接着部を除いた前記基板胴体の上面に形成される回路パターンと、前記基板胴体の下面に形成される外部接続端子と、前記回路パターンと前記外部接続端子とを接続するため、前記基板胴体を貫通して形成されるビアホールと、前記基板胴体の上面を封止する部材の量を調節するため、前記チップ接着部の周囲に形成される凹部とを含むチップオンボードパッケージ用印刷回路基板と、前記印刷回路基板の前記チップ接着部に接着され、複数のボンディングパッドが形成された半導体チップと、前記半導体チップのボンディングパッドと前記印刷回路基板の回路パターンとを電気的に接続するボンディングワイヤと、

前記半導体チップ、ボンディングワイヤ、回路パターン及び凹部を封止して形成される封止部とを含むことを特徴とするチップオンボードパッケージ。

【請求項12】前記凹部は、前記回路パターン及び前記チップ接着部を除いて前記基板胴体の上面に形成されることを特徴とする請求項11に記載のチップオンボードパッケージ。

【請求項13】前記封止部は、熱硬化性樹脂よりなることを特徴とする請求項11に記載のチップオンボードパッケージ。

【請求項14】前記凹部に前記樹脂が充填されることを特徴とする請求項13に記載のチップオンボードパッケージ。

ージ。

【請求項 15】前記半導体チップは、32Mビットのフラッシュメモリチップであることを特徴とする請求項 11に記載のチップオンボードパッケージ。

【請求項 16】前記凹部は、ミールン工程により形成されることを特徴とする請求項 11又は12に記載のチップオンボードパッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップオンボード(Chip On Board; COB)パッケージ用印刷回路基板及びそれを用いたCOBパッケージに関する。より詳細には、モールドイング工程後に発生するパッケージの反りを防止するため、印刷回路基板のモールドイング領域内部に凸部又は凹部が形成されたCOBパッケージ用印刷回路基板及びそれを用いたCOBパッケージに関する。

【0002】

【従来の技術】半導体チップパッケージが高密度化および小型化されるにつれて、リードフレームを用いたパッケージアセンブリを構成する方法に代えて、半導体チップを直接印刷回路基板上に実装する新たなパッケージング技術が注目されている。半導体チップを印刷回路基板上に直接実装する半導体チップパッケージを、COBパッケージと言う。

【0003】ハードディスクに代えて、あるいは携帯用情報端末機、デジタルスチールカメラ又はゲーム機等に使用されて、文字、音声、停止画像等の記録を行うためのメモリカードは、数個のメモリチップを1つのカードにパッケージングすることにより、大容量の記憶媒体として使用できる。

【0004】メモリカードには、ミニアチュアカード、コンパクトフラッシュ、スマートメディア等があるが、これらのうち、ミニアチュアカードとコンパクトフラッシュは、コントローラを内蔵すべきであるので、価格が高く、外形が大きいのと不都合がある。

【0005】これに対して、デジタル信号の貯蔵装置として使用されるスマートメディア又はSSFDC(Solid State Floppy Disc Card)のように、フラッシュメモリチップが内蔵されたCOBパッケージを用いた半導体チップカード(ICカード)は、従来のメモリカードに比べてサイズが小さく、世代間で同一のピン数を有するので、拡張性が高く、且つ携帯に便利であるという利点がある。また、スマートメディアは、デジタルスチールカメラの情報貯蔵のために着脱形態で使用され、且つ、デジタルゲーム機及び携帯用コンピュータ等において文字、音声、停止画像等を記録するための新たな小型カードである。さらに、スマートメディアは従来の磁気テープを用いたIDカードやディスクに比べて容量が大きく、貯蔵及び保管が容易であるので、その活用幅がより広がるものと予想される。

【0006】以下、図面を参照して従来のスマートメディアに使用されるCOBパッケージ用印刷回路基板及びそれを用いたCOBパッケージについて説明する。図10は、従来のCOBパッケージ用印刷回路基板を示す平面図である。図10を参照すると、印刷回路基板10は、ガラス-エポキシ樹脂又はBT樹脂よりなる薄形の基板胴体11を含む。回路パターン13は、基板胴体11の上面に薄い銅箔を接着して形成され、電気的信号の伝達経路として使用される。また、基板胴体11の下面には、外部接続端子(図12の15)としての役割をする回路パターンが形成される。基板胴体11の上面に形成される回路パターン13は、基板胴体11を貫通するビアホール16を介して下面の外部接続端子15に電気的に接続される。回路パターン13、外部接続端子15の表面及びビアホール16の内壁は、酸化防止を目的として、金のような導電性物質でメッキされている。基板胴体11の上面には、チップ接着部12が形成されている。チップ接着部12は、印刷回路基板を用いたパッケージの全体の高さを減少させるため、通常キャビティ加工により凹状に形成される。印刷回路基板10は、通常のプラスチックパッケージのリードフレームストリップと同様に、ストリップの形態で製造される。各々の印刷回路基板10は、タイバ18によりガイドレール19に連結されている。

【0007】上述した印刷回路基板10を用いた従来のCOBパッケージ100について、図11及び図12を参照して説明する。COBパッケージ100は、半導体チップ20と、印刷回路基板10と、ボンディングワイヤ22と、封止部23を含む。半導体チップ20は、接着剤25により印刷回路基板10の上面に形成されたチップ接着部12に取り付けられる。また、半導体チップ20は、金又はアルミニウムのようなボンディングワイヤ22によりボンディングパッドが回路パターン13に電気的に接続される。印刷回路基板10の下面には、外部接続端子15が形成される。外部接続端子15は、内壁に導電性物質がメッキされているビアホール16を介して上面の回路パターン13に電気的に接続される。従って、ボンディングワイヤ22により半導体チップ20に電気的に接続された回路パターン13は、さらにビアホール16を介して外部接続端子15に電気的に接続される。印刷回路基板10の上面には、半導体チップ20とボンディングワイヤ22とを外部環境から保護するため、エポキシ樹脂のようなモールドイング樹脂で封止して、封止部23が形成される。従来のCOBパッケージの封止部23は、印刷回路基板10の上面から突出し、主にトランスファモールドイング工程により形成される。

【0008】チップ接着部12に実装される半導体チップ20は、フラッシュメモリチップであって、容量により4Mビット、16Mビット、32Mビットのフラッシュ

メモリチップが実装されるが、容量が大きいほどチップのサイズが大きくなるので、チップ接着部12の面積も多様になる。通常、フラッシュメモリチップの容量が4Mビットである場合、フラッシュメモリチップのサイズは約 $116.1 \times 269.7 \mu\text{m}^2$ であり、16Mビットの場合は約 $196.5 \times 444.7 \mu\text{m}^2$ であり、32Mビットの場合は約 $294.5 \times 514.7 \mu\text{m}^2$ である。

【0009】

【発明が解決しようとする課題】しかしながら、COBパッケージ100が実装されるスマートメディアのベアカードの構造が統一されているため、COBパッケージ100の外形的な構造は、フラッシュメモリチップのサイズに関係なく同一であるように製造しなければならない。COBパッケージは、印刷回路基板に実装されるフラッシュメモリチップ間で同一のピンネームを有するので、拡張性が大きいし、このため、印刷回路基板に4Mビット、16Mビット、32Mビット等の異なる容量のフラッシュメモリチップを実装することが可能である。印刷回路基板に実装されるチップのサイズに関係なく、COBパッケージの外形は同一でなければならないので、COBパッケージの封止部を形成するために使用されるモールド樹脂の量は、チップのサイズが大きいほど少なくなる。封止部を形成するため最も多い量の樹脂を必要とする4Mビットチップを有するCOBパッケージ及び最も少ない量の樹脂を必要とする32Mビットチップを有するCOBパッケージの場合は、パッケージの反りのような不良が発生する。しかしながら、中間サイズのチップである16Mビットチップを有するCOBパッケージの場合は、パッケージの反りの発生程度が少ない。

【0010】従って、COBパッケージの反りのような不良を防止するためには、モールド樹脂の量、印刷回路基板の熱膨張率及び他の成形条件が調和されなければならない。しかし、封止部の外形は同一であるが、印刷回路基板に実装される半導体チップのサイズが異なり、それにより、モールド樹脂の量が異なるため、従来の印刷回路基板では、パッケージの反りを防止することが容易でない。4Mビットフラッシュメモリチップが実装されたCOBパッケージは、使用されるモールド樹脂の量が多いので、封止部が形成される中心部において下向きに反りが発生し、基板の両端部において上向きに反りが発生する。これに対し、32Mビットフラッシュメモリチップが実装されたCOBパッケージは、使用されるモールド樹脂の量が少ないので、封止部が形成される中心部において上向きに反りが発生し、基板の両端部において下向きに反りが発生する。

【0011】従って、本発明の目的は、COBパッケージの反りを防止することができるCOBパッケージ用印

刷回路基板及びこれを用いたCOBパッケージを提供することにある。

【0012】

【課題を解決するための手段】本発明は、半導体チップが実装され且つ封止部が形成される印刷回路基板の上面に凸部又は凹部を形成して、封止部を形成するためのモールド樹脂の量を低減又は増加させることにより、COBパッケージの反りを防止するようにしたものである。

【0013】

【発明の実施の形態】以下、添付の図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の一実施の形態によるCOBパッケージ用印刷回路基板を示す平面図であって、その上面に土手の形態で凸部が形成されていることを示す図である。図2は、図1の基板の凸部を拡大して示す図である。図3は、図1の基板の下面を示す図である。図1乃至図3を参照すると、本発明の一実施の形態による印刷回路基板30は、上面と下面を有する基板胴体31と、他の構成要素とから構成される。つまり、基板胴体31の上面には、チップ接着部32と回路パターン33が形成される。また、下面には、外部接続端子35が形成される。回路パターン33と外部接続端子35とを電気的に接続するビアホール36は、基板胴体31の外周部に形成される。また、基板胴体31の上面には凸部34が形成されるが、これについては後述する。

【0014】チップ接着部32は、半導体チップを接着するための領域であって、パッケージの全体の高さを減少させるため、通常キャビティ加工が実施される。キャビティとは、基板胴体31の上面に所定の深さで形成される窪みであり、通常ミリング工程により形成される。回路パターン33は、半導体チップに電気的に接続され、電気的信号の伝達経路としての役割を行う。また、回路パターン33は、通常、基板胴体31の上面に薄い銅箔を塗布した後、フォトリソを行うことにより形成される。

【0015】基板胴体31の下面に形成される外部接続端子35は、例えば、外部端末機のような外部電子装置に電気的に接続される。印刷回路基板30の下面の形状を図3に示す。基板胴体31下面の外部接続端子35は、基板胴体31の外周部に沿って形成されるビアホール36を介して基板胴体31上面の回路パターン33に電気的に接続される。従って、半導体チップ（図示せず）から外部端末機（図示せず）又は外部端末機から半導体チップまでの電気的信号の伝達は、回路パターン33、ビアホール36及び外部接続端子35を介して行われる。回路パターン33と外部接続端子35には、それらの酸化を防止するため、金又はニッケルのような導電性物質でメッキが行われる。また、ビアホール36の内周も、同様にメッキが行われる。

【0016】印刷回路基板30は、通常のプラスチック半導体パッケージに使用されるリードフレームストリップと同様に、パッケージ組立工程の自動化を目的としてストリップ形態で製造される。従って、各々の印刷回路基板30は、タイバ38によりガイドレール39に連結されている。通常一対のガイドレール39を有する1つのストリップは、複数の、例えば6つの印刷回路基板30を有し、ガイドレール39には、位置認識及び移送のための貫通孔が形成されている。

【0017】本発明の一実施の形態によると、基板胴体31の上面に凸部34が形成される。より詳しくは、凸部34は、チップ接着部32及び回路パターン33を除いた基板胴体31の上面に形成される。また、凸部34は、点線で示した封止境界37の内側、即ちパッケージの封止部の内側に形成される。凸部34は、フォトリソダレジスト(Photo Solder Resist; PSR)又は熱硬化性エポキシ樹脂のような絶縁性樹脂をスクリーン印刷することにより形成される。又は、基板胴体31の製造工程時に、基板胴体31と一体に形成することができる。凸部34を有する印刷回路基板30は、小型半導体チップ、例えば、4Mビットフラッシュメモリチップが実装されるCOBパッケージの製造に使用される。

【0018】上述した印刷回路基板30を有するCOBパッケージ200について、図4及び図5を参照して説明する。COBパッケージ200は、半導体チップ40と、印刷回路基板30と、ボンディングワイヤ42と、封止部43とを含む。半導体チップ40は、接着剤45により基板胴体31の上面に形成されたチップ接着部32に取り付けられる。また、半導体チップ40のボンディングパッド41は、ボンディングワイヤ42により回路パターン33に電気的に接続される。基板胴体31の下面には、外部接続端子35が形成される。外部接続端子35は、内壁に導電性物質がメッキされているビアホール36を介して上面の回路パターン33に電気的に接続される。従って、ボンディングワイヤ42により半導体チップ40に電気的に接続された回路パターン33は、さらにビアホール36を介して外部接続端子35に電気的に接続される。印刷回路基板30の上面には、半導体チップ40、回路パターン33、ボンディングワイヤ42及び凸部34を、エポキシ樹脂のような熱硬化性樹脂で封止して、封止部43が形成される。

【0019】凸部34を有する印刷回路基板30は、比較的小さいチップ、例えば、4Mビットフラッシュメモリチップを有するCOBパッケージの製造に使用される。COBパッケージ200の構成要素は、ストリップ状態の印刷回路基板30を用いて一連の工程を経て形成される。すなわち、通常のプラスチック半導体パッケージの組立工程と同様に、チップ取付け、ワイヤボンディング及び封止工程の順に進行される。封止工程後、基板胴体31とタイバ(図1の38)との連結部位

を切断することにより、個々の印刷回路基板30がストリップから分離される。これにより、COBパッケージ200が完成される。本発明によると、封止境界37とチップ接着部32との間に凸部34が形成されるので、凸部が形成されない場合に比べて、モールドディング樹脂の量が減少する。

【0020】上述したCOBパッケージ200は、スマートメディアのベースカードに実装されることになる。この際、COBパッケージ200は、チップ40がベースカードに向くように、且つ、印刷回路基板30の下面が上方に露出されるように、ベースカードに実装される。従って、スマートメディアは、印刷回路基板30下面の外部接続端子35を介して外部電子装置に電気的に接続される。

【0021】図6及び図7に、本発明の他の実施の形態による印刷回路基板50が図示されている。印刷回路基板50は、図1の印刷回路基板と異なり、比較的小さいチップを有するCOBパッケージの製造に使用される。印刷回路基板50において、基板胴体51の上面には、溝のような凹部54が形成されている。また、基板胴体51の上面には、チップ接着部52及び回路パターン53が形成される。基板胴体51の下面には、外部接続端子(図9の55)が形成され、この外部接続端子は、基板胴体51を貫通するビアホール56を介して基板胴体51上面の回路パターン53に電気的に接続される。封止境界57とチップ接着部52との間に凹部54が形成されるが、この凹部54は、回路パターン53が形成されない部分に形成される。凹部54は、チップ接着部52を形成するためのキャビティ加工により形成することができる。つまり、基板胴体51の上面の一部をミリングすることにより、凹部54を形成する。

【0022】図6及び図7の印刷回路基板50を用いたCOBパッケージ300を図8及び図9に示す。パッケージ300の構造は、凸部34の代わりに凹部54が形成されてモールドディング樹脂で充填される点を除いて、図4のパッケージ200と同様である。従って、例えば、32Mビットフラッシュメモリチップのような大型チップ60がチップ接着部52に実装される場合、封止部63を形成するためのモールドディング樹脂の量は減少するので、凹部54を形成することにより、モールドディング樹脂の充填空間をより一層確保することができる。図4のCOBパッケージ200と図8のCOBパッケージ300とを比較すると、外形的な構造は同一である。つまり、外部接続端子35、55のピンネームが同一であり、封止部43、63の外形的な構造が同一である。一方、差異点について説明すると、COBパッケージ200は、サイズが最も小さいチップ(4Mビットフラッシュメモリチップ)40と、凸部34が形成された印刷回路基板30とを含むが、COBパッケージ300は、サイズが最も大きいチップ(32Mビットフラッシュメ

モリチップ) 60と、凹部54が形成された印刷回路基板50を含む。さらに、図4のチップ接着部32は、図8のチップ接着部52より小さい。

【0023】

【発明の効果】以上説明したように、本発明によると、印刷回路基板のチップ接着部に実装される半導体チップのサイズによって、基板胴体の上面に凹部又は凸部を形成することにより、封止部を形成するモルディング樹脂の量を調節してCOBパッケージの反りを防止することができる。

【図面の簡単な説明】

【図1】本発明のCOBパッケージ用印刷回路基板の一実施の形態を示す平面図。

【図2】図1の基板の凸部を拡大して示す斜視図。

【図3】図1の基板の下面を示す図。

【図4】図1乃至図3に示した印刷回路基板を用いたCOBパッケージを示す部分切欠平面図。

【図5】図4の5-5線に沿って切断した断面図。

【図6】本発明のCOBパッケージ用印刷回路基板の他の実施の形態を示す平面図。

【図7】図6の基板の凹部を拡大して示す斜視図。

【図8】図6及び図7に示した印刷回路基板を用いたC

OBパッケージを示す部分切欠平面図。

【図9】図8の9-9線に沿って切断した断面図。

【図10】従来のCOBパッケージ用印刷回路基板を示す平面図。

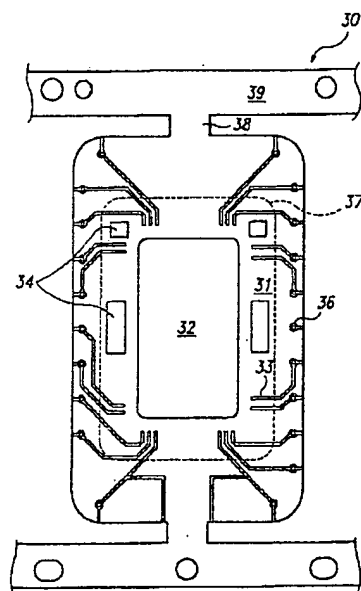
【図11】図10の印刷回路基板を用いた従来のCOBパッケージを示す部分切欠平面図。

【図12】図11の12-12線に沿って切断した断面図。

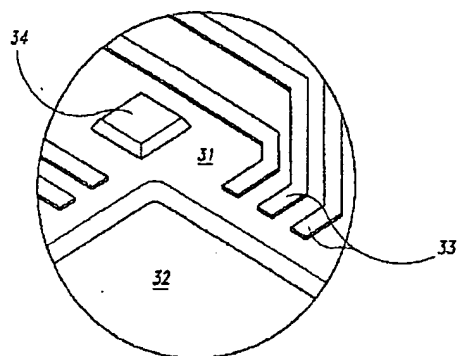
【符号の説明】

- 30、50 印刷回路基板
- 31、51 基板胴体
- 32、52 チップ接着部
- 33、53 回路パターン
- 34 凸部
- 35、55 外部接続端子
- 36、56 ビアホール
- 40、60 半導体チップ
- 41、61 ボンディングパッド
- 42、62 ボンディングワイヤ
- 43、63 封止部
- 54 凹部
- 200、300 COBパッケージ

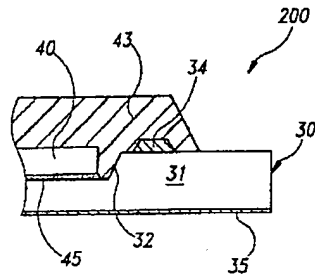
【図1】



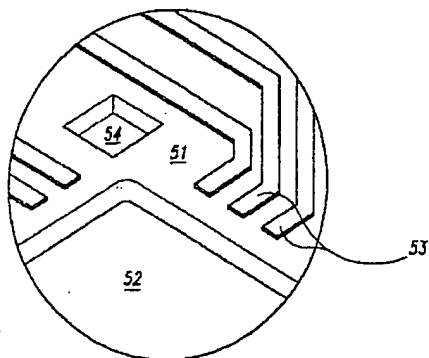
【図2】



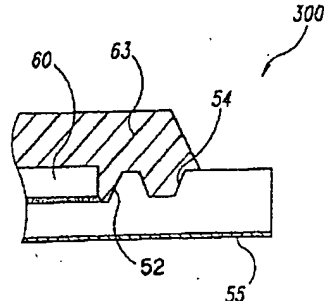
【図5】



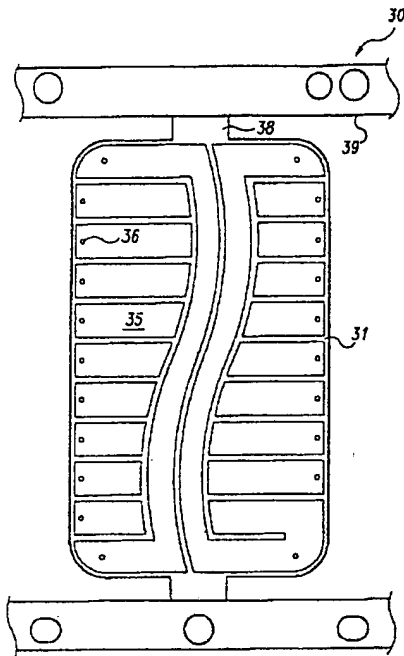
【図7】



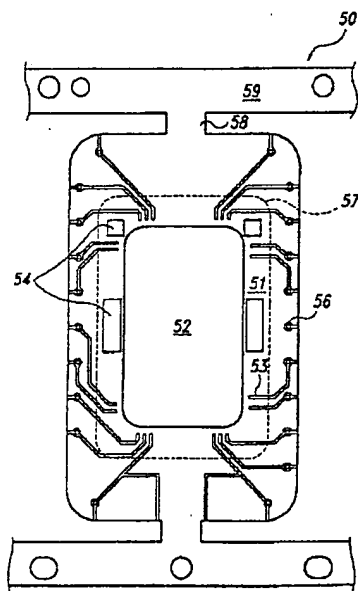
【図9】



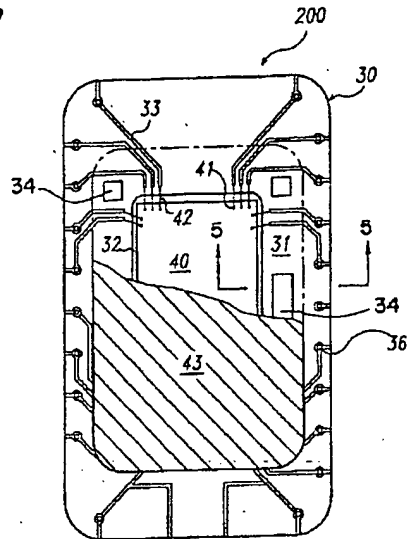
【図3】



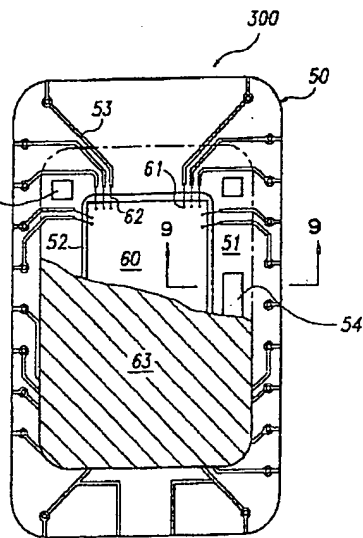
【図6】



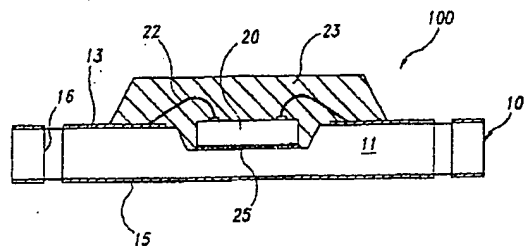
【図4】



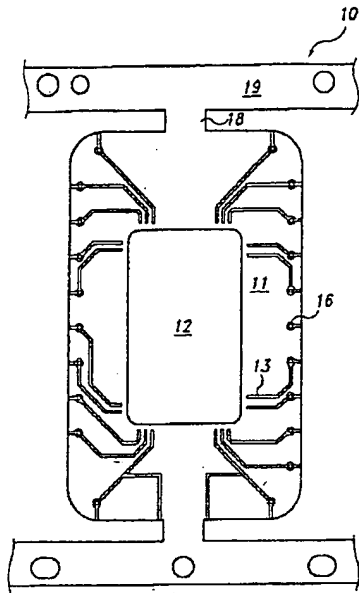
【図8】



【図12】



【図10】



【図11】

